

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-48055

(43)公開日 平成5年(1993)2月26日

(51)Int.Cl.⁵
H 01 L 27/118
21/66
21/82

識別記号
H 01 L 27/118
Z 7013-4M
9169-4M
9169-4M

序内整理番号
F I
H 01 L 21/ 82
M
C

技術表示箇所

審査請求 未請求 請求項の数12(全 13 頁)

(21)出願番号 特願平3-228753

(22)出願日 平成3年(1991)8月14日

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 川島 正敏
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72)発明者 小出 一夫
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(74)代理人 弁理士 徳若 光政

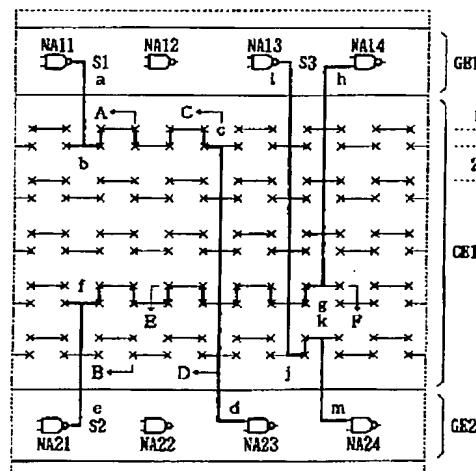
(54)【発明の名称】 半導体装置ならびにその製造方法

(57)【要約】 (修正有)

【目的】 試作品における配線設計データを、タイミング検証のためのシミュレーション等をやり直すことなく量産品の配線設計に適用して、マスタースライス方式を探るゲートアレイ集積回路等の製品量産化のための開発期間を縮小し、その品種展開を効率化する。

【構成】 品種ごとに応じて設けられる固有配線を、例えば第2層の金属配線層のみによって形成するとともに、第1層の金属配線層により形成される固定配線を、例えばX軸方向の2チャンネルにわたって千鳥状に寸断して配置し、各対の固定配線の間にX軸方向に1チャンネル分の空間を設けて、各信号線の配線領域G E 1におけるX軸及びY軸方向の配線と最小配線ピッチpとの比率を同じ値とする。また、素子領域G E 1及びG E 2に形成される NANDゲートNA11～NA14ならびにNA21～NA24等のサイズを上記信号線の配線長と最小配線ピッチpとの比率に応じて拡大し、その駆動能力を大きくする。

図3 CA1 (ゲートアレイ集積回路試作品)
配線設計例



$$\begin{aligned} L_{xy1} &= L_{ab} + L_{cd} = 17p \\ L_{xy2} &= L_{bc} = 12p \\ L_{yzx} &= L_{ef} + L_{gh} = 16p \\ L_{xzz} &= L_{fg} = 21p \\ L_{ysy} &= L_{ij} + L_{km} = 18p \\ L_{zsy} &= L_{jk} = 3p \end{aligned}$$

【特許請求の範囲】

【請求項1】 マスタースライス方式を採りかつ品種ごとに応じて設けられる固有配線が限られた所定層の金属配線層によって形成されしかもその配線設計データが遅延特性確認のためのシミュレーション等をやり直すことなくその固有配線が上記金属配線層を含むより多層の金属配線層によって形成される同等の量産品に適用できることを特徴とする半導体装置。

【請求項2】 上記量産品は、上記半導体装置とほぼ同一の配線トポロジーをもって設計され、上記半導体装置とほぼ同一の遅延特性を有するものであることを特徴とする請求項1の半導体装置。

【請求項3】 上記半導体装置の固有配線は、最上層の金属配線層によって形成されるものであることを特徴とする請求項1又は請求項2の半導体装置。

【請求項4】 上記半導体装置及び量産品は、X軸方向に平行して配置される複数の素子領域及び配線領域を備えるものであって、上記量産品のX軸及びY軸方向における配線長の上記半導体装置のX軸及びY軸方向における配線長に対する実質的な縮小率ならびに上記量産品の素子領域に設けられる所定の回路素子の駆動能力の上記半導体装置の素子領域に設けられる対応する回路素子の駆動能力に対する実質的な縮小率は、ともにほぼ同一の値とされるものであることを特徴とする請求項1、請求項2又は請求項3の半導体装置。

【請求項5】 上記半導体装置の配線領域には、X軸方向に2チャンネルにわたって千鳥状に配置される複数対の固定配線と、上記固定配線の両端にそれぞれ固定的に設けられるスルーホールと、少なくとも上記スルーホールの中間のチャンネルを利用してY軸方向に配置される固有配線とが設けられるものであることを特徴とする請求項4の半導体装置。

【請求項6】 上記複数対の固定配線の隣接する2対は、X軸方向の1チャンネル分の空間をおいて配置されるものである請求項5の半導体装置。

【請求項7】 マスタースライス方式を採りかつ品種ごとに応じて設けられる固有配線が限られた所定層の金属配線層によって形成される試作品の配線設計データを遅延特性確認のためのシミュレーション等をやり直すことなくその固有配線が上記金属配線層を含むより多層の金属配線層によって形成される同等の量産品に適用することを特徴とする半導体装置の製造方法。

【請求項8】 上記量産品は、上記試作品とほぼ同一の配線トポロジーをもって設計されるものであって、上記試作品とほぼ相似的な配線パターンを有しつつほぼ同一の遅延特性を有するものであることを特徴とする請求項7の半導体装置の製造方法。

【請求項9】 上記試作品の固有配線は、最上層の金属配線層によって形成されるものであることを特徴とする請求項7又は請求項8の半導体装置の製造方法。

【請求項10】 上記試作品及び量産品は、X軸方向に平行して配置される複数の素子領域及び配線領域を備えるものであって、上記量産品のX軸及びY軸方向における配線長の上記試作品のX軸及びY軸方向における配線長に対する実質的な縮小率ならびに上記量産品の素子領域に設けられる所定の回路素子の駆動能力の上記試作品の素子領域に設けられる対応する回路素子の駆動能力に対する実質的な縮小率は、ともにほぼ同一の値とされるものであることを特徴とする請求項7、請求項8又は請求項9の半導体装置の製造方法。

【請求項11】 上記試作品の配線領域には、X軸方向に2チャンネルにわたって千鳥状に配置される複数対の固定配線と、上記固定配線の両端にそれぞれ固定的に設けられるスルーホールと、少なくとも上記スルーホールの中間のチャンネルを利用してY軸方向に配置される固有配線とが設けられるものであることを特徴とする請求項10の半導体装置の製造方法。

【請求項12】 上記固定配線の隣接する2対は、X軸方向の1チャンネル分の空間をおいて配置されるものである請求項11の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体装置及びその製造方法に関し、例えば、マスタースライス方式を探るゲートアレイ集積回路ならびにその量産品の製造方法に利用して特に有効な技術に関するものである。

【0002】

【従来の技術】 素子領域に形成される論理ゲート等を配線（チャンネル）領域にユーザ仕様に従って選択的に形成されるアルミニウム等の金属配線層を介して結合するいわゆるマスタースライス方式のゲートアレイ集積回路がある。また、マスタースライス方式を探るゲートアレイ集積回路等において、最上層の金属配線層のみをユーザ仕様に従った固有配線とすることで、製品開発期間の縮小を図ったCMOSゲートアレイMN59000シリーズがある。

【0003】 CMOSゲートアレイMN59000シリーズについては、例えば、日経マグロウヒル社発行の1988年7月11日付『日経エレクトロニクス』第90頁～第91頁に記載されている。

【0004】

【発明が解決しようとする課題】 ところが、上記に記載されるCMOSゲートアレイMN59000シリーズでは、各信号線のX軸及びY軸（この明細書では、各配置図の水平方向をもってX軸と称し、垂直方向をもってY軸と称する）方向の配線長が最小配線ピッチpに対して異なる比率となるため、試作段階での配線設計データを量産品の配線設計に活かすことができない。つまり、CMOSゲートアレイMN59000シリーズでは、試作品における各配線長の比率と量産品における各配線長の

比率とが異なるものとなる。このため、量産品の配線設計では、図10に点線で示されるように、仮配線長遅延シミュレーションによるタイミング検証からやり直す必要が生じ、その分だけ量産品の開発期間が長くなる。

【0005】この発明の目的は、試作品による配線設計データをタイミング検証をやり直すことなく同等の量産品に適用しうるゲートアレイ集積回路等の半導体装置ならびにその製造方法を提供することにある。この発明の他の目的は、マスタースライス方式を探るゲートアレイ集積回路等の製品量産化のための開発期間を縮小し、その品種展開を効率化することにある。

【0006】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、マスタースライス方式を探るゲートアレイ集積回路等において、品種ごとに応じて設けられる固有配線を、例えば最上層の金属配線層のみによって選択的に形成するとともに、下層の金属配線層により形成される固定配線を、例えばX軸方向の2チャンネルにわたって千鳥状に寸断して配置し、各対の固定配線の間にX軸方向の1チャンネル分の空間を設けて、各信号線の配線領域におけるX軸及びY軸方向の実質的な配線長と最小配線ピッチとの比率をほぼ同一の値とする。また、例えば素子領域に形成される論理ゲート等のサイズを上記信号線の実質的な配線長と最小配線ピッチとの比率に応じて拡大し、相応して論理ゲート等の駆動能力を大きくする。

【0008】

【作用】上記手段によれば、同等の量産品における各信号線のX軸及びY軸方向の実質的な配線長の試作品に対する縮小率をほぼ同一の値とし、量産品及び試作品の遅延特性をほぼ一致させることができる。その結果、試作品における配線設計データを、タイミング検証をやり直すことなく量産品の配線設計に適用できるため、マスタースライス方式を探るゲートアレイ集積回路等の製品量産化のための開発期間を縮小し、その品種展開を効率化することができる。

【0009】

【実施例】図1には、この発明が適用されたゲートアレイ集積回路GA1の一実施例の基板配置図が示されている。同図をもとに、まずこの実施例のゲートアレイ集積回路の構成と基板配置及びその特徴について説明する。

【0010】図1において、この実施例のゲートアレイ集積回路GA1は、半導体基板SUBの中央部の大半を占めてかつX軸方向に平行して配置される複数の素子領域GEを備える。これらの素子領域GEの間には配線領域CEが設けられ、さらにその外側には、半導体基板S

UBの4辺に沿って、複数の入出力バッファセルI/OBならびに対応するボンディングパッドPADが設けられる。

【0011】ここで、ゲートアレイ集積回路GA1は、いわば開発中の製品のデバッグ段階における試作品であって、最終的な製品出荷量が少ない場合には、そのままの形態で少量生産されることもあるが、比較的多くの製品出荷量が予測される場合には、チップ面積を縮小するための設計修正が施された後、同等の量産品つまり後述するゲートアレイ集積回路GA2となる。この実施例において、試作品となるゲートアレイ集積回路GA1のチップサイズは、量産品となるゲートアレイ集積回路GA2に比較して例えば2～3倍程度大きくされ、配線領域CEにおける各信号線の実質的な配線長も約3倍程度に長くなる。このため、ゲートアレイ集積回路GA1では、素子領域GEに設けられる各論理ゲートのサイズが各信号線の配線長つまりは配線容量に相応して大きくなり、これによってゲートアレイ集積回路GA1及びGA2はほぼ同一の遅延特性を持つものとされる。

【0012】図2には、図1のゲートアレイ集積回路GA1に固有配線を加えない状態での一実施例の部分的な拡大配置図が示されている。同図をもとに、この実施例のゲートアレイ集積回路GA1の配線領域における基本レイアウトとその特徴について説明する。なお、以下の拡大配置図に示される部分は、図1の半導体基板SUBの点線で囲まれた部分に対応する。また、以下の拡大配置図では、第1層のアルミニウム配線層からなる固定配線が細い実線で示され、第2層のアルミニウム配線層からなる固有配線が太い実線で示される。

【0013】ゲートアレイ集積回路GA1において、例えば隣接する二つの素子領域GE1及びGE2間の配線領域CE1には、図2に例示されるように、それぞれ5対の固定配線FP11及びFP12ないしFP51及びFP52が水平方向に平行して設けられる。各対の固定配線は、下層つまり第1層のアルミニウム配線層（金属配線層）によって形成され、しかも最小配線ピッチpで想定されるX軸方向の2チャンネルにわたって千鳥状に寸断して配置される。寸断された固定配線のそれぞれは、Y軸方向の2チャンネル分つまり2pに相当する長さを有し、それぞれの両端には、各固定配線と最上層つまり第2層のアルミニウム配線層とを結合するための一対のスルーホールが固定的に形成される。さらに、隣接する2対の固定配線の間には、X軸方向の1チャンネル分の空間が設けられる。

【0014】一方、ゲートアレイ集積回路GA1の各素子領域には、図2の素子領域GE1及びGE2に代表して示されるように、論理ゲート例えば NANDゲートNA11～NA14ならびにNA21～NA24等が所定のピッチをおいて形成される。これらの NANDゲートは、PチャンネルMOSFET及びNチャンネルMOSFET

Tが組み合わされてなるいわゆるCMOS NANDゲートであって、その入力端子及び出力端子は、対応するコンタクトと第1層及び第2層のアルミニウム配線層とが形成されることによって選択的に配線領域CE1等に引き出される。このとき、各NANDゲートの引き出し線となる第2層のアルミニウム配線層は、固定配線FP11及びFP12ないしFP51及びFP52の両端に設けられた一対のスルーホールの中間のチャンネルを用いてY軸方向にレイアウトされ、さらにX軸方向に延長されることで各固定配線との結合が可能となる。

【0015】図3には、図1のゲートアレイ集積回路GA1に固有配線を加えた状態での一実施例の拡大配置図が示されている。

【0016】図3において、素子領域GE1に設けられるNANDゲートNA11の出力端子は、信号線S1を介して素子領域GE2に設けられるNANDゲートNA23の第1の入力端子に結合される。また、素子領域GE2に設けられるNANDゲートNA21の出力端子は、信号線S2を介して素子領域GE1に設けられるNANDゲートNA14の第2の入力端子に結合され、素子領域GE1に設けられるNANDゲートNA13の出力端子は、信号線S3を介して素子領域GE2に設けられるNANDゲートNA24の第1の入力端子に結合される。

【0017】信号線S1において、NANDゲートNA11の出力端子は、図示されないコンタクト及び第1層のアルミニウム配線層を介して第2層のアルミニウム配線層に結合され、ノードa及びb間の引き出し線となる。この引き出し線は、さらにX軸方向に延長された後、対応するスルーホールを介して固定配線FP12に結合される。固定配線FP11及びFP12間には、第2層のアルミニウム配線層からなる4本の渡り配線が設けられ、これによってノードb及びc間の結合が行われる。ノードcは、さらにY軸方向に延長され、ノードdすなわちNANDゲートNA23の第1の入力端子に結合される。しかしに、配線領域CE1における信号線S1のY軸方向の配線長Lys1は、ノードa及びb間の配線長Labとノードc及びd間の配線長Lcdを加えた長さつまり、

$$L_{ys1} = L_{ab} + L_{cd}$$

$$= 3 \text{ p} + 14 \text{ p} = 17 \text{ p}$$

となり、そのX軸方向の配線長Lxs1は、ノードb及びc間の配線長Lbcつまり12pとなる。

【0018】次に、信号線S2において、NANDゲートNA21の出力端子は、図示されないコンタクト及び第1層のアルミニウム配線層を介して第2層のアルミニウム配線層に結合され、ノードe及びf間の引き出し線となる。この引き出し線は、さらにX軸方向に延長された後、対応するスルーホールを介して固定配線FP42に結合される。固定配線FP41及びFP42間には、第2層のアルミニウム配線層からなる7本の渡り配線が設

けられ、これによってノードf及びg間の結合が行われる。ノードgは、さらにY軸方向に延長され、ノードhすなわちNANDゲートNA14の第2の入力端子に結合される。しかしに、配線領域CE1における信号線S2のY軸方向の配線長Lys2は、ノードe及びf間の配線長Lefとノードg及びh間の配線長Lghを加えた長さつまり、

$$L_{ys2} = L_{ef} + L_{gh}$$

$$= 5 \text{ p} + 11 \text{ p} = 16 \text{ p}$$

10 となり、そのX軸方向の配線長Lxs2は、ノードf及びg間の配線長Lfgつまり21pとなる。

【0019】同様に、信号線S3において、NANDゲートNA13の出力端子は、図示されないコンタクト及び第1層のアルミニウム配線層を介して第2層のアルミニウム配線層に結合され、ノードi及びj間の引き出し線となる。この引き出し線は、さらにX軸方向に延長された後、対応するスルーホールを介して固定配線FP52に結合される。固定配線FP51及びFP52間には、第2層のアルミニウム配線層からなる1本の渡り配線が設けられ、これによってノードj及びk間の結合が行われる。ノードkは、さらにY軸方向に延長され、ノードmすなわちNANDゲートNA24の第1の入力端子に結合される。しかしに、配線領域CE1における信号線S3のY軸方向の配線長Lys3は、ノードi及びj間の配線長Lijとノードk及びm間の配線長Lkmを加えた長さつまり、

$$L_{ys3} = L_{ij} + L_{km}$$

$$= 15 \text{ p} + 3 \text{ p} = 18 \text{ p}$$

となり、そのX軸方向の配線長Lxs3は、ノードj及びk間の配線長Ljkつまり3pとなる。

【0020】図4には、図3のゲートアレイ集積回路GA1の一実施例のA-B断面構造図が示され、図5及び図6には、その一実施例のC-D断面構造図及びE-F断面構造図がそれぞれ示されている。

【0021】図4において、第1層のアルミニウム配線層AL1によって形成される固定配線FP11及びFP12ないしFP51及びFP52は、対応するスルーホールTHを介して第2層のアルミニウム配線層AL2まで固定的に引き出される。そして、固定配線FP11及びFP12間には、信号線S1の一部となる渡り配線が第2層のアルミニウム配線層AL2によって形成され、固定配線FP41及びFP42間には、信号線S2の一部となる渡り配線が第2層のアルミニウム配線層AL2によって形成される。

【0022】一方、図5において、第1層のアルミニウム配線層AL1からなる固定配線FP12ないしFP52の上層に、信号線S1の一部となる固有配線が第2層のアルミニウム配線層AL2によって形成される。この配線の左端は、図の手前方向に延長され、対応するスルーホールと結合される。

【0023】さらに、図6において、第1層のアルミニウム配線層AL1からなる固定配線FP41は、対応するスルーホールTHを介して第2層のアルミニウム配線層AL2まで固定的に引き出される。そして、右端の固定配線FP41の左側に設けられるスルーホールTHは、信号線S2の一部となる第2層のアルミニウム配線層AL2に結合され、さらに図の奥行き方向に延長される。

【0024】以上のように、この実施例のゲートアレイ集積回路GA1では、ユーザ仕様つまりは品種ごとに応じて設けられる固有配線が、最上層すなわち第2層のアルミニウム配線層AL2によって形成され、素子領域に形成されたMOSFET等と第1層のアルミニウム配線層AL1を結合するためのコンタクトや第1層のアルミニウム配線層AL1自体さらには第1層のアルミニウム配線層AL1と第2層のアルミニウム配線層AL2を結合するためのスルーホールは、品種によらず固定的に形成される。その結果、デバッグ段階において品種ごとに製作を余儀なくされるフォトマスクは、第2層のアルミニウム配線層AL2に関する1枚のみとなり、これによって製品開発に要する期間が大幅に縮小される。

【0025】図7には、図1のゲートアレイ集積回路GA1に含まれる入出力バッファI/OBの一実施例の回路図が示されている。ゲートアレイ集積回路GA1は、前述のように、図7の構成とされる複数の入出力バッファI/OBを備える。

【0026】図7において、入出力バッファI/OBは、それぞれ1個の入力バッファIB及び出力バッファOBを含む。このうち、入力バッファIBの入力端子は対応するボンディングパッドPADに結合され、その出力信号は、内部入力信号DIとしてゲートアレイ集積回路GA1の図示されない後段回路に供給される。一方、出力バッファOBの入力端子には、ゲートアレイ集積回路GA1の図示されない前段回路から内部出力信号DOが供給され、その出力端子は、対応する上記ボンディングパッドPADに共通結合される。

【0027】ところで、入力バッファIBの出力信号すなわち内部入力信号DIを図示されない後段回路に伝達するための信号線は、ゲートアレイ集積回路GA1の配線領域CEに配置される。したがって、その配線長は、後述するように、量産品となるゲートアレイGA2の対応する信号線の配線長に比較して約3倍となり入力バッファIBの出力端子に結合される負荷容量も約3倍となる。このため、この実施例では、入力バッファIBを構成するMOSFETが量産品の対応するMOSFETの3倍のサイズをもって形成され、入力バッファIBの駆動能力が量産品の対応する入力バッファIBの約3倍とされる。このことは、素子領域GEに形成される NANDゲートNA11～14ならびにNA21～NA24についても同様であり、これによってゲートアレイ集積回路

GA1は、そのチップサイズがゲートアレイ集積回路GA2の2～3倍程度とされるにもかかわらず、ゲートアレイ集積回路GA2とほぼ同一の遅延特性を持つものとされる。なお、出力バッファOBの出力端子とボンディングパッドPADとの間の配線長は量産品における配線長とほぼ同じであるため、出力バッファOBは量産品における出力バッファOBと同一の駆動能力を持つものとされる。

【0028】図8には、図1のゲートアレイ集積回路GA1をもとに量産品として製造されるゲートアレイ集積回路GA2の一実施例の基板配置図が示されている。また、図9には、図8のゲートアレイ集積回路GA2の点線で囲まれた部分の一実施例の拡大配置図が示されている。

【0029】図8において、ゲートアレイ集積回路GA2は、基本的に図1のゲートアレイ集積回路GA1と相似的な基板配置とされ、そのチップサイズは、ゲートアレイGA1のほぼ2～3分の1とされる。この実施例において、ゲートアレイGA2の配線領域CE2等には、図9に例示されるように、X軸方向に最小配線ピッチpで想定される5本のチャンネルと、Y軸方向に最小配線ピッチpで想定される多数のチャンネルとが設けられる。これらのチャンネルに対する配線設計は、図1の試作品つまりはゲートアレイ集積回路GA1とほぼ同一のトポロジーをもって行われ、ほぼ相似的な配線パターンを持つものとされる。

【0030】すなわち、素子領域GE3に形成される NANDゲートNA31の出力端子と素子領域GE4に形成される NANDゲートNA43の第1の入力端子との間には、配線領域CE2の第2層のアルミニウム配線層AL21と第1層のアルミニウム配線層AL11ならびに第2層のアルミニウム配線層AL22とからなる信号線S1が形成される。また、素子領域GE4に形成される NANDゲートNA41の出力端子と素子領域GE3に形成される NANDゲートNA34の第2の入力端子との間には、配線領域CE2の第2層のアルミニウム配線層AL23と第1層のアルミニウム配線層AL12ならびに第2層のアルミニウム配線層AL24とからなる信号線S2が設けられ、素子領域GE3に形成される NANDゲートNA33の出力端子と素子領域GE4に形成される NANDゲートNA44の第1の入力端子との間には、配線領域CE2の第2層のアルミニウム配線層AL25と第1層のアルミニウム配線層AL13ならびに第2層のアルミニウム配線層AL26とからなる信号線S3が設けられる。

【0031】ここで、信号線S1の配線領域CE2におけるY軸方向の配線長Lys1は、第2層のアルミニウム配線層AL21及びAL22の配線長LAL21及びLAL22を加えた長さ、すなわち、

$$L_{ys1} = L_{AL21} + L_{AL22}$$

$$= 1 \text{ p} + 5 \text{ p} = 6 \text{ p}$$

となり、そのX軸方向の配線長 L_{xs1} は、第1層のアルミニウム配線層AL11の配線長 L_{AL11} すなわち4pとなる。同様に、信号線S2の配線領域CE2におけるY軸方向の配線長 L_{ys2} は、第2層のアルミニウム配線層AL23及びAL24の配線長 L_{AL23} 及び L_{AL24} を加えた長さ、すなわち、

$$L_{ys2} = L_{AL23} + L_{AL24}$$

$$= 2 \text{ p} + 4 \text{ p} = 6 \text{ p}$$

となり、そのX軸方向の配線長 L_{xs2} は、第1層のアルミニウム配線層AL12の配線長 L_{AL12} すなわち7pとなる。また、信号線S3の配線領域CE2におけるY軸方向の配線長 L_{ys3} は、第2層のアルミニウム配線層AL25及びAL26の配線長 L_{AL25} 及び L_{AL26} を加えた長さ、すなわち、

$$L_{ys3} = L_{AL25} + L_{AL26}$$

$$= 5 \text{ p} + 1 \text{ p} = 6 \text{ p}$$

となり、そのX軸方向の配線長 L_{xs3} は、第1層のアルミニウム配線層AL13の配線長 L_{AL13} すなわち1pとなる。

【0032】つまり、このゲートアレイ集積回路GA2では、信号線S1～S3のY軸方向の配線長 $L_{ys1} \sim L_{ys3}$ が図3のゲートアレイ集積回路GA1の信号線S1の配線領域CE1におけるY軸方向の配線長 $L_{ys1} \sim L_{ys3}$ のほぼ3分の1となり、X軸方向の配線長 $L_{xs1} \sim L_{xs3}$ も図3のゲートアレイ集積回路GA1の信号線S1～S3の配線領域CE1におけるX軸方向の配線長 $L_{xs1} \sim L_{xs3}$ の3分の1となる。言い換えるならば、量産品となるゲートアレイ集積回路GA2のX軸及びY軸方向における配線長の試作品となるゲートアレイGA1のX軸及びY軸方向における配線長に対する実質的な縮小率は、ほぼ同一の値となり、同じ比率でチップサイズの縮小化を図りつつ、X軸及びY軸方向における配線経路の相似性が確保される結果となる。

【0033】さらに、この実施例において、ゲートアレイ集積回路GA2の素子領域GE3及びGE4に形成される NANDゲートNA31～NA34ならびにNANDゲートNA41～NA44は、これらのNANDゲートを構成するMOSFETのサイズが図3のゲートアレイ集積回路GA1の素子領域GE1及びGE2に形成されるNANDゲートNA11～NA14ならびにNA21～NA24に比べて3分の1とされ、3分の1の駆動能力しか持たない。前述のように、ゲートアレイ集積回路GA2における信号線S1～S3の配線長は、ゲートアレイ集積回路GA1における信号線S1～S3の配線長のほぼ3分の1とされ、これらの信号線に結合される負荷容量の値も相応して3分の1とされる。

【0034】つまり、量産品となるゲートアレイ集積回路GA2の各素子領域に設けられる回路素子の駆動能力の試作品となるゲートアレイ集積回路GA1の各素子領

域に設けられる回路素子の駆動能力に対する実質的な縮小率は、配線長の縮小率と同じ3分の1とされ、これによってゲートアレイ集積回路GA2は、ゲートアレイ集積回路GA1とほぼ同一の遅延特性を持つものとされる。しかるに、ゲートアレイ集積回路GA1の配線設計データを、タイミング検証のためのシミュレーション等をやり直すことなくゲートアレイ集積回路GA2の配線設計にそのまま活用することができる。その結果、図10に実線で示されるように、ゲートアレイ集積回路GA2の配線設計工程では、論理設計から自動配線設計にいたる設計手順を省略できるものとなり、これによってゲートアレイ集積回路の製品量産化のための開発期間を縮小し、その品種展開を効率化できるものである。

【0035】以上の本実施例に示されるように、この発明をマスタースライス方式を探るゲートアレイ集積回路等の半導体装置ならびにその製造方法に適用することで、次のような作用効果が得られる。すなわち、

(1) マスタースライス方式を探るゲートアレイ集積回路等において、品種ごとに応じて設けられる固有配線を、例えば最上層の金属配線層のみによって選択的に形成するとともに、下層の金属配線層により形成される固定配線を、例えばX軸方向の2チャンネルにわたって千鳥状に寸断して配置し、各対の固定配線の間にX軸方向の1チャンネル分の空間を設けて、各信号線の配線領域におけるX軸及びY軸方向の実質的な配線長と最小配線ピッチとの比率をほぼ同一の値とすることで、量産品における各信号線のX軸及びY軸方向の配線長の試作品における各信号線のX軸及びY軸方向の配線長に対する実質的な縮小率をほぼ同一の値とすることができるという効果が得られる。

(2) 上記(1)項において、例えば素子領域に形成される論理ゲート等のサイズを上記信号線の実質的な配線長と最小配線ピッチとの比率に応じて拡大し、相応して論理ゲート等の駆動能力を大きくすることで、量産品及び試作品の遅延特性をほぼ一致させることができるという効果が得られる。

(3) 上記(1)項及び(2)項により、試作品における配線設計データを、タイミング検証をやり直すことなく量産品の配線設計に適用することができるという効果が得られる。

(4) 上記(1)項～(3)項により、マスタースライス方式を探るゲートアレイ集積回路等の製品量産化のための開発期間を縮小し、その品種展開を効率化することができるという効果が得られる。

【0036】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、ゲートアレイ集積回路GA1に設けられる素子領域及び配線領域ならびに入出力バッファ及

びボンディングパッドの数は任意に設定できるし、その具体的なレイアウト方法もこの実施例による制約を受けない。図2及び図3において、配線領域CE1等には任意数のチャンネルを設けることができるし、X軸及びY軸に設けられるチャンネル数の比率やそれぞれの形状も種々の実施形態を探りうる。この実施例において、量産品における配線長の試作品における配線長に対する縮小率はほぼ3分の1とされるが、この値は2分の1であってもよいし、その他の縮小率を探ることもできる。ゲートアレイ集積回路に3層以上のアルミニウム配線層が用意される場合、固有配線を複数層のアルミニウム配線層によって形成してもよい。アルミニウム配線層は、他の材質からなる金属配線層で代用することができる。さらに、図3及び図9に示される信号線S1～S3の具体的な配線経路ならびに図4ないし図6に示されるゲートアレイ集積回路GA1の具体的な断面構造は、この実施例によって制限されない。

【0037】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるゲートアレイ集積回路ならびにその製造方法に適用した場合について説明したが、それに限定されるものではなく、例えば、同様なマスタースライス方式を探る各種の論理集積回路装置ならびにその製造方法にも適用できる。この発明は、少なくともマスタースライス方式を探る半導体装置ならびにその製造方法に広く適用できる。

【0038】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、マスタースライス方式を探るゲートアレイ集積回路等において、品種ごとに対応して設けられる固有配線を、例えば最上層の金属配線層のみによって選択的に形成するとともに、下層の金属配線層により形成される固定配線を、例えばX軸方向の2チャンネルにわたって千鳥状に寸断して配置し、各対の固定配線の間にX軸方向の1チャンネル分の空間を設けて、各信号線の配線領域におけるX軸及びY軸方向の実質的な配線長と最小配線ピッチとの比率をほぼ同一の値とする。また、例えば素子領域に形成される論理ゲート等のサイズを上記信号線の実質的な配線長と最小配線ピッチとの比率に応じて拡大し、相応して論理ゲート等の駆動能力を大きくする。これにより、同等の量産品における各信号線のX軸及びY軸方向の実質的な配線長の試

作品に対する縮小率をほぼ同一の値とし、量産品及び試作品の遅延特性をほぼ一致させることができる。その結果、試作品における配線設計データを、タイミング検証のためのシミュレーション等をやり直すことなく量産品の配線設計に適用できるため、マスタースライス方式を探るゲートアレイ集積回路等の製品量産化のための開発期間を縮小し、その品種展開を効率化することができる。

【図面の簡単な説明】

10 【図1】この発明が適用されたゲートアレイ集積回路の試作品における一実施例を示す基板配置図である。

【図2】図1のゲートアレイ集積回路に固有配線を加えない状態での一実施例を示す部分的な拡大配置図である。

【図3】図2のゲートアレイ集積回路に固有配線を加えた状態での一実施例を示す部分的な拡大配置図である。

【図4】図3のゲートアレイ集積回路の一実施例を示すA-B断面構造図である。

【図5】図3のゲートアレイ集積回路の一実施例を示すC-D断面構造図である。

【図6】図3のゲートアレイ集積回路の一実施例を示すE-F断面構造図である。

【図7】図1のゲートアレイ集積回路に含まれる入出力バッファセルの一実施例を示す回路図である。

【図8】この発明が適用されたゲートアレイ集積回路の量産品における一実施例を示す基板配置図である。

【図9】図8のゲートアレイ集積回路の一実施例を示す部分的な拡大配置図である。

30 【図10】この発明が適用されたゲートアレイ集積回路の試作品及び量産品の一実施例を示す設計フロー図である。

【符号の説明】

GA1～GA2・・・ゲートアレイ集積回路、SUB・

・・半導体基板、PAD・・・ボンディングパッド、I

O B・・・入出力バッファセル、CE, CE1～CE2

・・・配線領域、GE, GE1～GE4・・・素子領域

FP11～FP51, FP12～FP52・・・固定配線、NA11～NA14, NA21～NA24, N

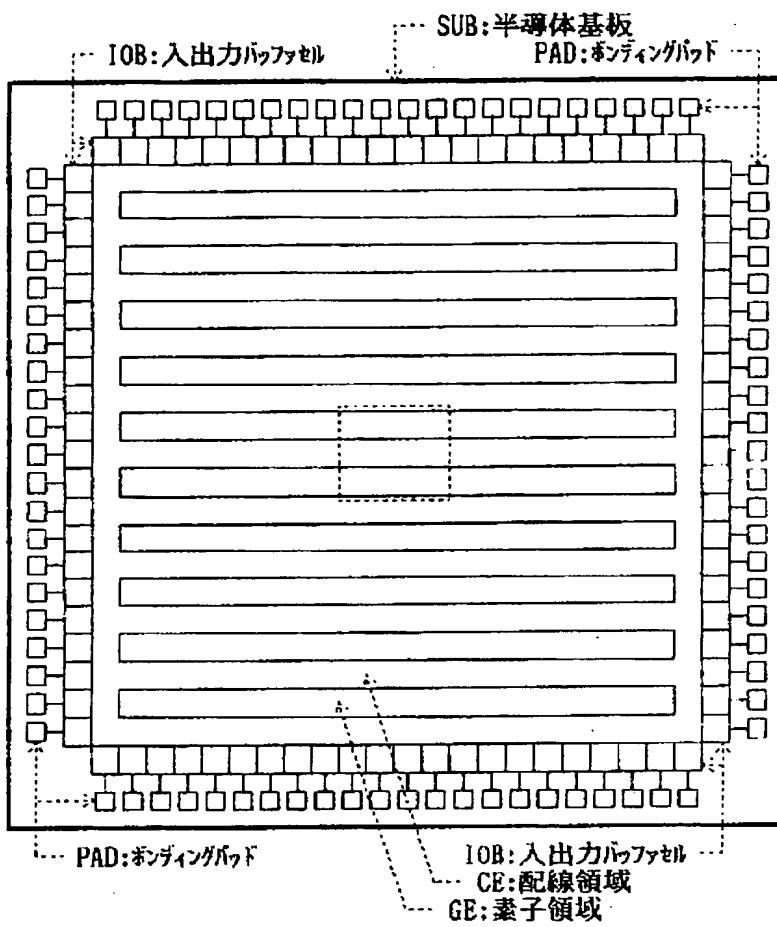
A31～NA34, NA41～NA44・・・ナンドゲート。AL1, AL11～AL13・・・第1層アルミニウム配線層、AL2, AL21～AL26・・・第2

層アルミニウム配線層、TH・・・スルーホール。

40

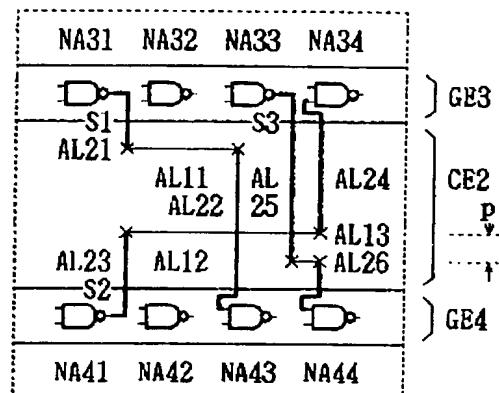
【図1】

図1 GA1 (ゲートアレイ集積回路試作品)
基板配置図



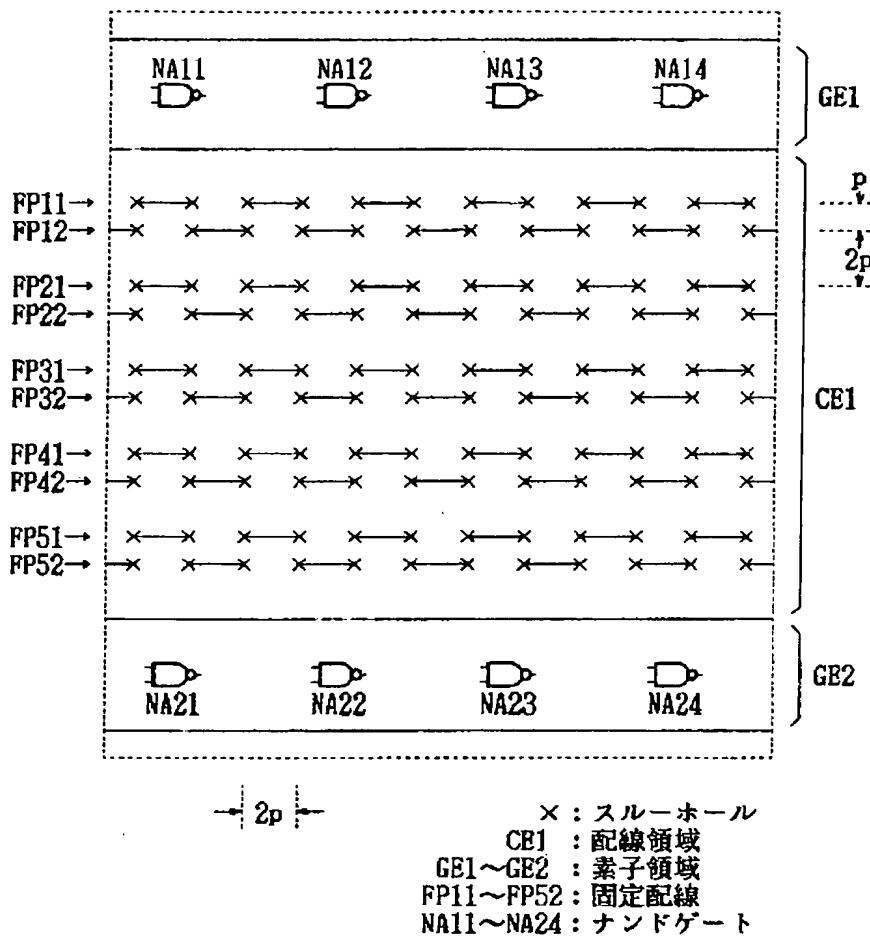
【図9】

図9 GA2 (ゲートアレイ集積回路量産品)
配線設計例



【図2】

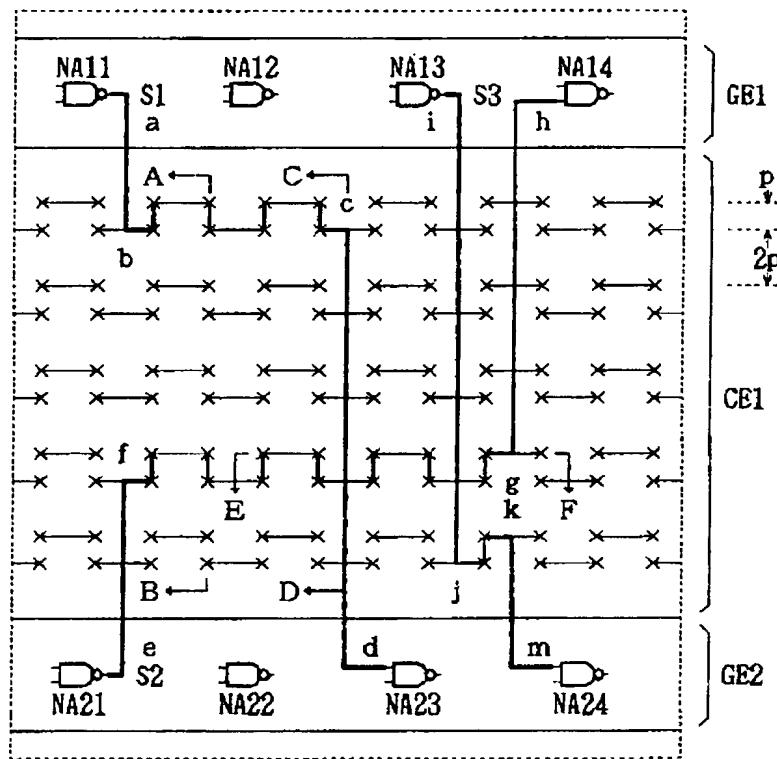
図2 GA1 (ゲートアレイ集積回路試作品)
拡大配置図



【図3】

図3 GA1 (ゲートアレイ集積回路試作品)

配線設計例

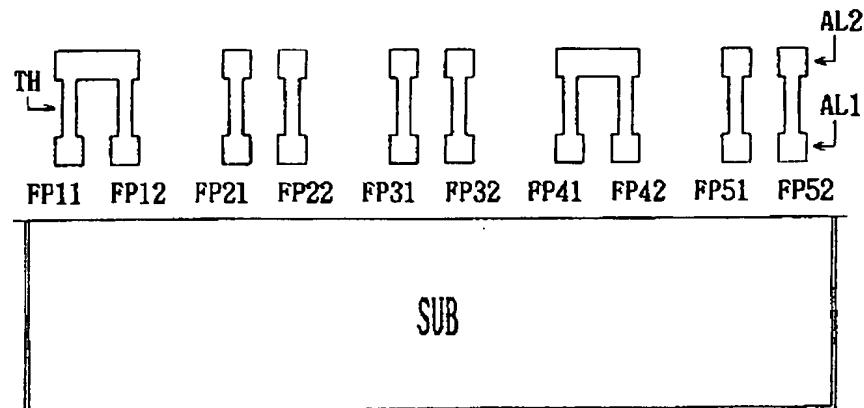


→ 2p ←

$$\begin{aligned}
 L_{ys1} &= L_{ab} + L_{cd} = 17 \text{ p} \\
 L_{xs1} &= L_{bc} = 12 \text{ p} \\
 L_{ys2} &= L_{ef} + L_{gh} = 16 \text{ p} \\
 L_{xs2} &= L_{fg} = 21 \text{ p} \\
 L_{ys3} &= L_{ij} + L_{km} = 18 \text{ p} \\
 L_{xs3} &= L_{jk} = 3 \text{ p}
 \end{aligned}$$

【図4】

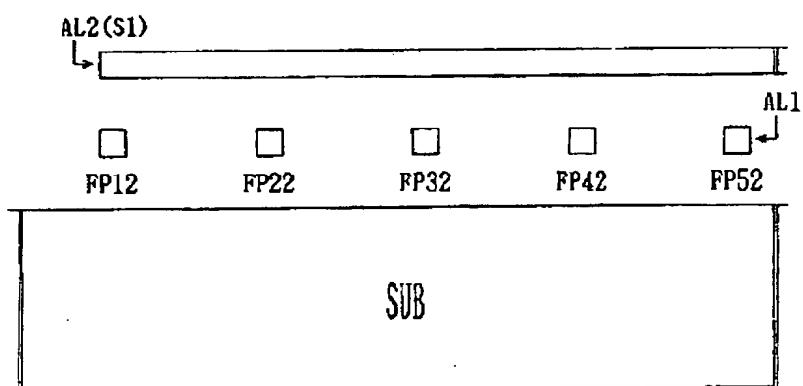
図4

A-B断面構造図

TH : スルー ホール
 AL1 : 第1層アルミニウム配線層
 AL2 : 第2層アルミニウム配線層

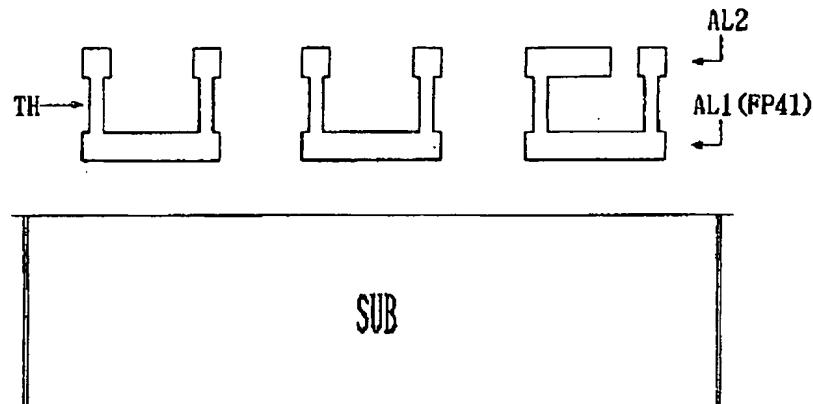
【図5】

図5

C-D断面構造図

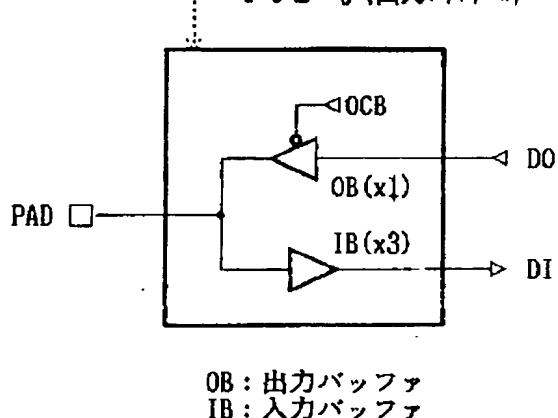
AL1 : 第1層アルミニウム配線層
 AL2 : 第2層アルミニウム配線層

【図6】

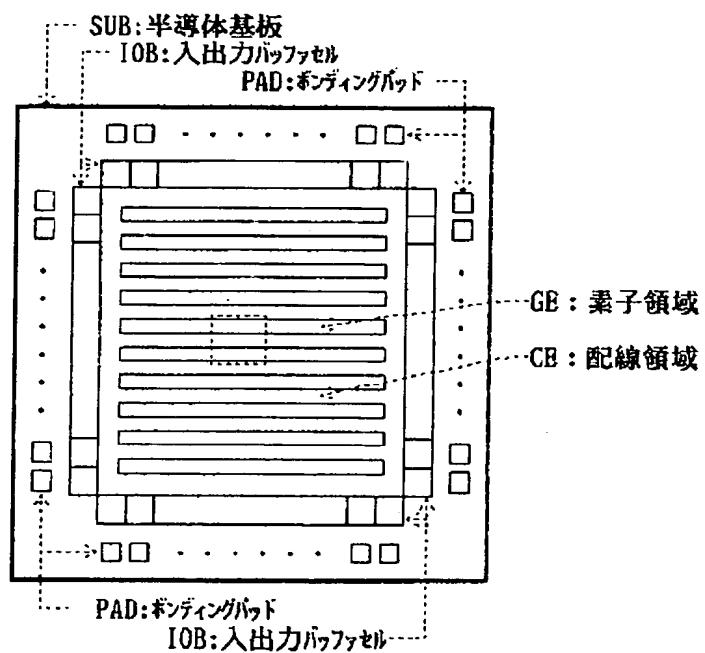
図6 E-F断面構造図

TH:スルーホール
 AL1:第1層アルミニウム配線層
 AL2:第2層アルミニウム配線層

【図7】

図7 IOB (入出力バッファ)

【図8】

図8 GA2 (ゲートアレイ集積回路量産品)
基板配置図

【図10】

図10

試作品設計フロー図

